



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0007000  
Application Number

출원년월일 : 2003년 02월 04일  
Date of Application FEB 04, 2003

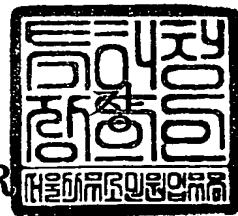
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003년 11월 06일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0084		
【제출일자】	2003.02.04		
【발명의 명칭】	반도체용 실리콘 온 인슬레이터 기판의 형성 방법		
【발명의 영문명칭】	FORMATION METHOD OF SILICON ON INSULATOR SUBSTRATE FOR SEMICONDUCTOR		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	서영훈		
【성명의 영문표기】	SEO, Young Hun		
【주민등록번호】	691112-1480811		
【우편번호】	420-730		
【주소】	경기도 부천시 원미구 중4동 은하마을 532-104		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원

020030007000

출력 일자: 2003/11/12

【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】			234,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

### 【요약서】

#### 【요약】

본 발명은 반도체용 실리콘 온 인슐레이터(SOI) 기판의 형성 방법에 관한 것으로, SOI 구조를 형성하고자 하는 실리콘 기판 상에 소자간 분리를 위한 트렌치를 형성한 후 구조물 전체 상부에 절연막을 형성하는 단계와, 트렌치의 측벽 영역을 제외한 트렌치의 바닥 영역에 형성된 절연막을 제거하여 실리콘 기판을 노출시키는 단계와, 실리콘 기판이 노출된 트렌치를 통하여 산화공정을 실시하여 트렌치 바닥 높이 이하의 실리콘 기판 중 일부 높이를 SOI 구조를 위한 SOI막으로 형성하는 단계와, 트렌치를 포함한 구조물 전면에 트렌치 충진 물질을 증착하여 트렌치 분리막을 형성하는 단계를 포함하며, 종래 기술과 비교할 때에 상대적으로 저가의 실리콘 기판을 이용할 수 있으며, 소자의 소프트 에러 및 래치업을 억제하여 디바이스의 수율과 신뢰성이 향상되는 이점이 있다.

#### 【대표도】

도 2f

#### 【색인어】

SOI, 실리콘 온 인슐레이터, 다공성 실리콘

**【명세서】****【발명의 명칭】**

반도체용 실리콘 온 인슐레이터 기판의 형성 방법{FORMATION METHOD OF SILICON ON INSULATOR SUBSTRATE FOR SEMICONDUCTOR}

**【도면의 간단한 설명】**

도 1a 내지 도 1d는 종래 기술에 따라 실리콘 기판에 셀로우 트렌치 아이솔레이션을 형성하는 공정 단면도,

도 2a 내지 도 2f는 본 발명에 따라 다공성 실리콘을 이용하여 실리콘 온 인슐레이터 구조의 기판을 형성하는 공정 단면도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체용 실리콘 온 인슐레이터(Silicon On Insulator; 이하 "SOI" 라 함) 기판에 관한 것으로, 더욱 상세하게는 SOI 막을 이용하여 기판으로 흐르는 누설 전류(Leakage Current)를 제거함으로써 반도체 소자의 안정성과 수율이 향상되도록 한 반도체용 SOI 기판의 형성 방법에 관한 것이다.

<4> 최근 반도체 소자의 디자인 룰이 점차 감소하고, 미세화가 진전됨에 따라서 실리콘 기판과 트랜지스터 사이에 절연체를 배치함으로써, 기판과 정션간의 접합용량을 저감하여 소비전력을 낮추도록 한 SOI 구조가 주목받고 있다.

<5> 이러한 SOI 기판은 실리콘 산화막을 절연막으로 하는 소자간의 분리가 실행되기 때문에 집적도가 높은 SOI형 반도체 장치에서도 용이하게 소프트 에러 및 래치업이 억제되어 높은 신뢰성을 확보할 수 있다. 또 SOI 구조의 집적회로는 소자영역에서 불순물 확산층의 접합용량을 줄일 수 있으므로 스위칭에 따르는 충방전 전류가 적어져 고속화 및 저소비 전력화를 도모하는 데에도 유리하다.

<6> 그러나, 이러한 SOI 기판의 사용은 가격이 일반적인 실리콘 기판보다 훨씬 높을 뿐만 아니라, 절연막에서 발생한 미세한 결함이 후속 열처리 공정에서 결함으로 작용하여 소자의 수율을 저하시키는 문제점을 유발시킨다.

<7> 따라서, 이러한 가격차이와 결함에 대한 문제를 극복하기 위하여 일반적인 로직 공정 중에 SOI 구조를 형성하는 방법이 지속적으로 연구되고 있다.

<8> 한편, 본 발명에서는 셀로우 트렌치 아이솔레이션(Shallow Trench Isolation; 이하 "STI"라 함) 형성 공정 중에 다공성 실리콘을 이용하여 SOI 기판을 형성하는 방법을 제안하고자 한다. 이에 따라 본 발명과 비교할 수 있는 종래의 STI 형성 공정을 도 1a 내지 도 1d를 참조하여 설명하기로 한다.

<9> 도 1a를 참조하면, 소자간 분리를 위한 트렌치를 형성하고자 하는 실리콘 기판(1)상에 제 1 절연막(2)으로서 산화막을 증착하고, 제 1 절연막(2) 상면에 제 2 절연막(3)으로서 질화막을 적층한다. 그 위에 식각 마스크로서 사용할 물질인 포토레지스트를 도포한 후 패터닝하여 식각하고자 하는 부분을 노출시키는 포토레지스트 패턴(4)을 형성한다.

<10> 도 1b를 참조하면, 포토레지스트 패턴(4)을 식각 마스크로 하여 제 2 절연막(3)과 제 1 절연막(2)을 실리콘 기판(1)이 노출될 때까지 선택적으로 건식 식각하여, 실리콘 기판(1)의 노출 부분을 소정 두께로 건식 식각하여 트렌치를 형성한다.

<11> 도 1c를 참조하면, 포토레지스트 패턴(4)을 제거한 후 세정 공정을 수행하여, 트렌치를 포함한 구조물 전면에 트렌치 충진(trench filling) 물질을 증착하여 트렌치 분리막(5)을 형성한다.

<12> 도 1d를 참조하면, 트렌치 분리막(5)에 대하여 화학적기계적연마(Chemical Mechanical Polishing; CMP) 공정을 수행하여 제 2 절연막(3)의 상부 영역에 존재하는 트렌치 분리막(5)을 제거하며, 이로서 트렌치 영역, 즉 비활성 영역에만 트렌치 분리막(5)이 존재하는 STI 구조가 완성된다.

<13> 이후, STI 구조를 만드는데 사용된 제 2 절연막(3)을 습식 식각하여 제거하며, 이온 주입 등의 여러 공정을 거쳐 트랜지스터 및 게이트를 형성한다.

**【발명이 이루고자 하는 기술적 과제】**

<14> 본 발명은 상기와 같이 일반적인 로직 공정 중에 SOI 구조를 형성하기 위한 연구 노력의 한 결과물로서, STI 형성 공정 중에 다공성 실리콘을 이용하여 SOI 기판을 형성함으로써 소자의 소프트 에러 및 래치업을 억제하여 디바이스의 수율과 신뢰성이 향상되도록 하는 데 그 목적이 있다.

<15> 상기와 같은 목적을 실현하기 위한 본 발명에 따른 반도체용 SOI 기판의 형성 방법은, SOI 구조를 형성하고자 하는 실리콘 기판 상에 소자간 분리를 위한 트렌치를 형성한 후 구조물 전체 상부에 절연막을 형성하는 단계와, 상기 트렌치의 측벽 영역을 제외한 상기 트렌치의 바

닥 영역에 형성된 상기 절연막을 제거하여 상기 실리콘 기판을 노출시키는 단계와, 상기 실리콘 기판이 노출된 트렌치를 통하여 산화공정을 실시하여 상기 트렌치 바닥 높이 이하의 실리콘 기판 중 일부 높이를 상기 SOI 구조를 위한 SOI막으로 형성하는 단계와, 상기 트렌치를 포함한 구조물 전면에 트렌치 충진 물질을 증착하여 트렌치 분리막을 형성하는 단계를 포함한다.

### 【발명의 구성 및 작용】

<16> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.

<17> 본 발명의 요지는, STI 구조를 위하여 트렌치를 형성한 실리콘 기판의 전면에 절연막을 증착한 후 트렌치의 바닥 영역만 실리콘 기판이 노출되도록 식각을 실시하며, 이후 양극산화(Anodization) 반응을 시켜 바닥 영역에 노출된 실리콘 영역을 통해 바닥 영역을 다공성 실리콘으로 형성시키고, 다시 산화반응을 통해 다공성 실리콘을 실리콘 산화막으로 전환시켜 트랜지스터가 형성될 활성 영역과 실리콘 기판 사이에 SOI막이 배치된 SOI 구조의 기판을 완성하는 것이다.

<18> 도 2a 내지 도 2f는 본 발명에 따라 반도체용 SOI 구조의 기판을 형성하는 공정 단면도이다.

<19> 도 2a를 참조하면, SOI 구조를 형성하고자 하는 N형 또는 P형 단결정 실리콘 기판(101) 상에 제 1 절연막(102)으로서 산화막을 증착하고, 제 1 절연막(102) 상면에 제 2 절연막(103)으로서 질화막을 적층한다. 그 위에 식각 마스크로서 사용할 물질인 포토레지스트를 도포한 후 패터닝하여 식각하고자 하는 부분을 노출시키는 포토레지스트 패턴(104)을 형성한다.

<20> 도 2b를 참조하면, 포토레지스트 패턴(104)을 식각 마스크로 하여 제 2 절연막(103)과 제 1 절연막(102)을 실리콘 기판(101)이 노출될 때까지 선택적으로 건식 식각하여, 실리콘 기판(101)의 노출 부분을 소정 두께로 건식 식각하여 트렌치를 형성한다.

<21> 도 2c를 참조하면, 포토레지스트 패턴(104)을 제거한 후 세정 공정을 수행하며, 구조물 전체 상부에 제 3 절연막(106)으로서 질화막을 증착한다.

<22> 도 2d를 참조하면, 제 3 절연막(106)이 증착된 구조물에 대하여 전면 식각(Etch Back)을 실시하여 제 2 절연막(103)의 상면과 트렌치 내부의 바닥 영역에 증착된 제 3 절연막(106)을 제거하여 실리콘 기판(101)을 노출시킨다. 이때 트렌치 내부의 측벽 영역에 증착된 제 3 절연막(106)은 제거되지 않도록 식각을 실시하여야 한다.

<23> 도 2e를 참조하면, 실리콘 기판(101)이 노출된 트렌치의 바닥 영역에 대하여 양극산화(Anodization) 공정을 실시하여 트렌치의 바닥 높이 이하의 실리콘 기판(101) 중 일부 높이를 다공성 실리콘으로 형성시키며, 산화반응을 통하여 상기 다공성 실리콘을 실리콘 산화막(SiO<sub>2</sub>)으로 전환시켜 SOI 구조를 위한 SOI막(107)을 형성한다. 이때 트렌치 내부의 측벽 영역에 증착된 제 3 절연막(106)은 이후 트랜지스터가 형성될 실리콘 기판(101)의 활성 영역을 보호한다.

<24> 도 2f를 참조하면, 트렌치를 포함한 구조물 전면에 트렌치 충진(trench filling) 물질을 증착하여 트렌치 분리막(105)을 형성하고, 트렌치 분리막(105)에 대하여 CMP 공정을 수행하여 제 2 절연막(103)의 상부 영역에 존재하는 트렌치 분리막(105)을 제거한다. 이로서 트렌치 영역, 즉 비활성 영역에만 트렌치 분리막(105)이 존재하는 STI 구조가 완성되며, 이후 트랜지스터가 형성될 활성 영역과 실리콘 기판(101) 사이에 SOI막(107)이 배치된 SOI 구조의 기판이 완성된다.



030007000

출력 일자: 2003/11/12

<25> 이후, STI 구조를 만드는데 사용된 제 2 절연막(103)을 습식 식각하여 제거하며, 이온 주입 등의 여러 공정을 거쳐 트랜지스터 및 게이트를 형성한다.

<26> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청 구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

**【발명의 효과】**

<27> 전술한 바와 같이 본 발명은 STI 형성 공정 중에 다공성 실리콘을 이용하여 SOI 기판을 형성함으로써 종래 기술과 비교할 때에 상대적으로 저가의 실리콘 기판을 이용할 수 있으며, 소자의 소프트 에러 및 래치업을 억제하여 디바이스의 수율과 신뢰성이 향상되는 이점이 있다.

**【특허청구범위】****【청구항 1】**

실리콘 온 인슐레이터(SOI) 구조를 형성하고자 하는 실리콘 기판 상에 소자간 분리를 위한 트렌치를 형성한 후 구조물 전체 상부에 절연막을 형성하는 단계와,  
상기 트렌치의 측벽 영역을 제외한 상기 트렌치의 바닥 영역에 형성된 상기 절연막을 제거하여 상기 실리콘 기판을 노출시키는 단계와,  
상기 실리콘 기판이 노출된 트렌치를 통하여 산화공정을 실시하여 상기 트렌치 바닥 높이 이하의 실리콘 기판 중 일부 높이를 상기 SOI 구조를 위한 SOI막으로 형성하는 단계와,  
상기 트렌치를 포함한 구조물 전면에 트렌치 충진 물질을 증착하여 트렌치 분리막을 형성하는 단계를 포함하는 반도체용 실리콘 온 인슐레이터 기판의 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 SOI막 형성 단계는 상기 실리콘 기판이 노출된 트렌치의 바닥 영역에 대하여 양극 산화(Anodization) 공정을 실시하여 상기 일부 높이를 다공성 실리콘으로 형성시킨 후에 산화 반응을 통하여 상기 다공성 실리콘을 실리콘 산화막(SiO<sub>2</sub>)으로 전환시키는 것을 특징으로 한 반도체용 실리콘 온 인슐레이터 기판의 형성 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

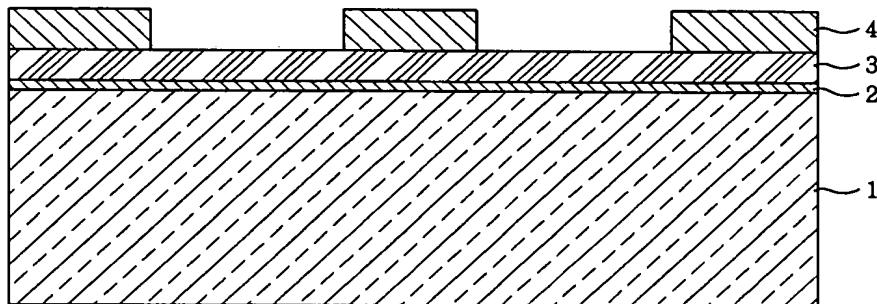
1020030007000

출력 일자: 2003/11/12

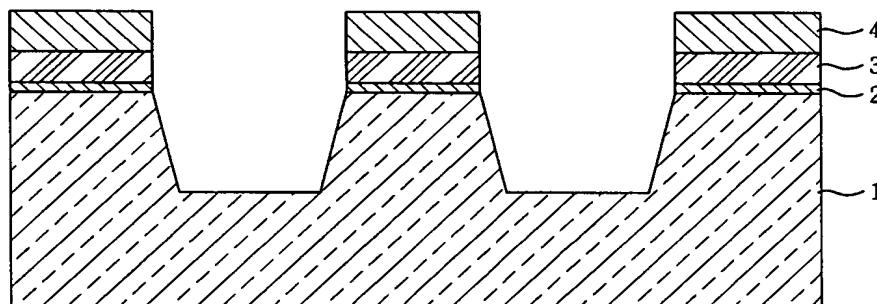
상기 SOI막 형성 단계에서 상기 트렌치 내부의 측벽 영역에 형성된 상기 절연막은 상기  
산화공정시 상기 실리콘 기판의 활성 영역을 보호하는 것을 특징으로 한 반도체용 실리콘 온  
인슐레이터 기판의 형성 방법.

## 【도면】

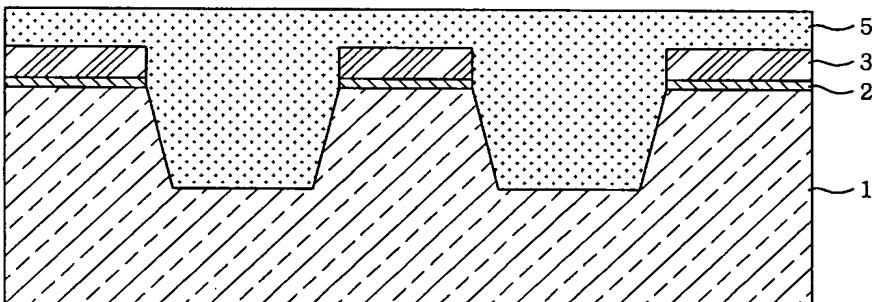
【도 1a】



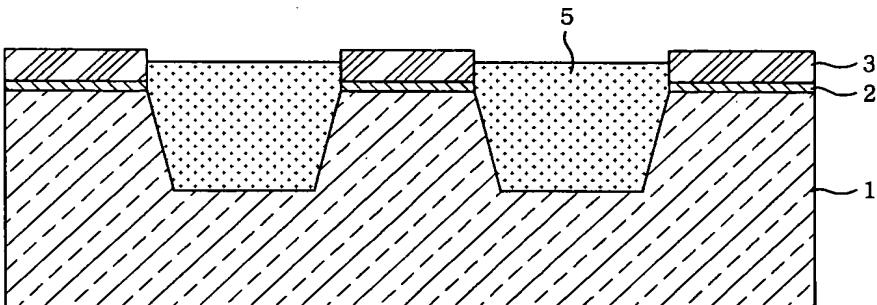
【도 1b】



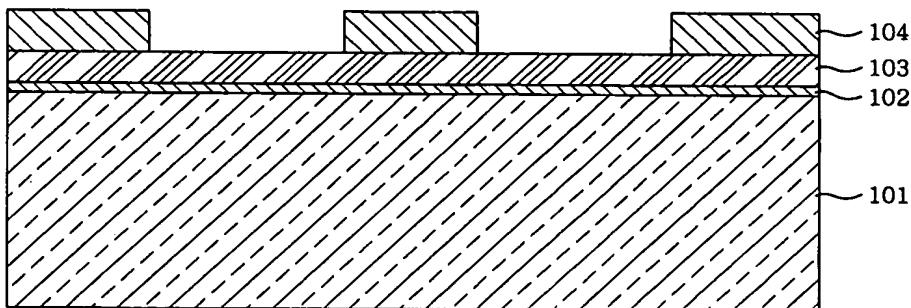
【도 1c】



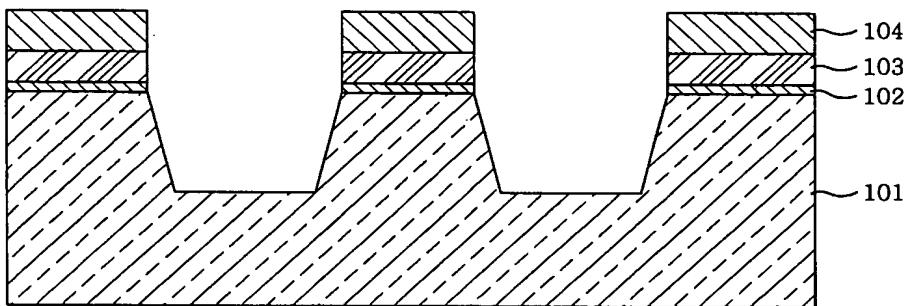
【도 1d】



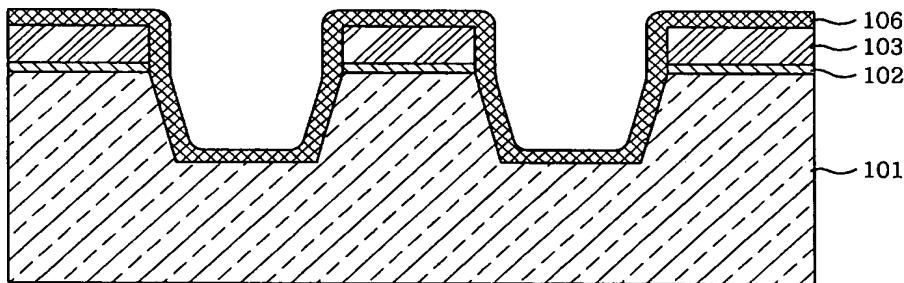
【도 2a】



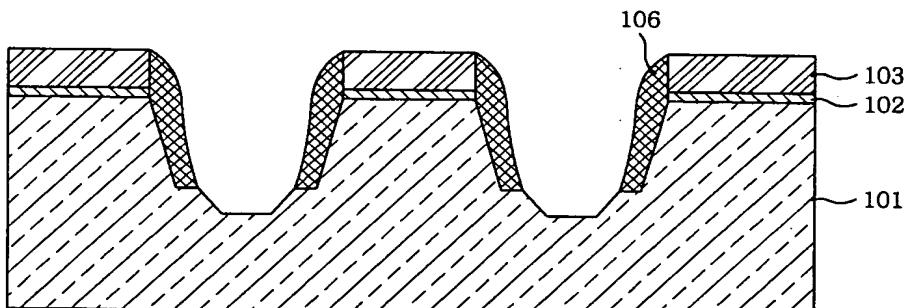
【도 2b】



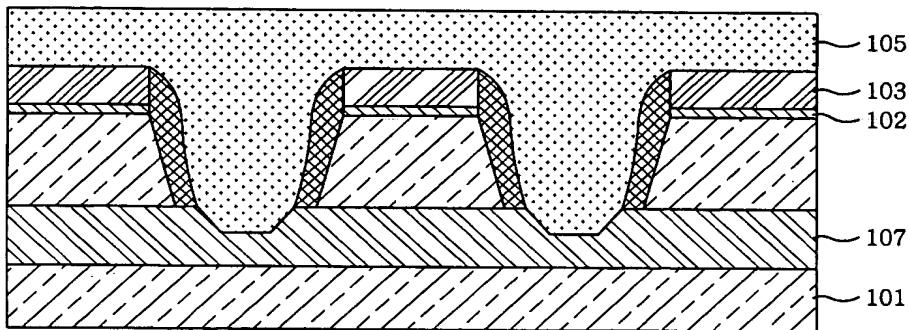
【도 2c】



【도 2d】



【도 2e】



【도 2f】

